

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月    2 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 5 0 3 3 7  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 5 0 3 3 7 ]

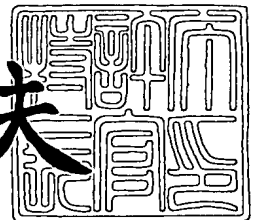
出      願      人                      セイコーエプソン株式会社  
Applicant(s):



2 0 0 3 年 1 0 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 J0094573

【提出日】 平成14年12月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/48

【発明の名称】 半導体装置及びその製造方法と回路基板及び電気光学装置、並びに電子機器

【請求項の数】 13

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 伊東 春樹

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100089037

    【弁理士】

    【氏名又は名称】 渡邊 隆

【代理人】

    【識別番号】 100064908

    【弁理士】

    【氏名又は名称】 志賀 正武

【選任した代理人】

    【識別番号】 100110364

    【弁理士】

    【氏名又は名称】 実広 信哉

**【手数料の表示】****【予納台帳番号】** 008707**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9910485**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法と回路基板及び電気光学装置、並びに電子機器

【特許請求の範囲】

【請求項 1】 電極と、前記電極よりも突出し、樹脂により所定のパターンで形成される複数の突起体と、前記電極に電氣的に接続され、前記突起体の上面に至る導電層とを有する半導体装置の製造方法であって、

前記半導体装置に前記電極を避けて前記樹脂の層を形成する工程と、

前記電極上及び前記樹脂の層上に前記導電層を、前記突起体の前記所定パターンに応じてパターンニングする工程と、

パターンニングされた前記導電層をマスクとし、前記導電層の間に位置する前記樹脂の層を除去して前記突起体を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記樹脂の層の除去は、プラズマ加工で行うことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 記載の半導体装置の製造方法において、

前記導電層は、スパッタリングで形成されることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 または 2 記載の半導体装置の製造方法において、

前記導電層は、メッキで形成されることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 から 4 のいずれかに記載の半導体装置の製造方法において、

前記導電層をパターンニングする工程は、前記樹脂の層を形成する前に前記電極を覆う第 1 の導電層を形成する工程と、

第 1 の導電層と接続し前記樹脂の層の上面に至る第 2 の導電層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置の製造方法において、

前記第 1 の導電層を無電解ニッケルメッキで形成することを特徴とする半導体

装置の製造方法。

【請求項 7】 請求項 1 から請求項 6 のいずれか一項に記載の半導体装置の製造方法を用いて製造されたことを特徴とする半導体装置。

【請求項 8】 請求項 7 記載の半導体装置において、  
所定ピッチで配列され開口部を有する複数の電極と、  
前記電極の開口部の直上を避け、前記電極と同一ピッチで樹脂により形成された複数の突起体と、  
前記開口部を介して前記電極に電氣的に接続され前記突起体の上面に至る導電層と、  
を含むことを特徴とする半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、  
前記突起体は、能動面領域の外側に配置されていることを特徴とする半導体装置。

【請求項 10】 請求項 8 または 9 記載の半導体装置において、  
前記導電層は、前記電極に電氣的に接続される第 1 の導電層と、前記第 1 の導電層と接続し前記樹脂の層の上面に至る第 2 の導電層とを有することを特徴とする半導体装置。

【請求項 11】 請求項 7 から 10 のいずれかに記載の半導体装置が実装されることを特徴とする回路基板。

【請求項 12】 電気光学パネルと、  
前記電気光学パネルに電氣的に接続された請求項 7 から 10 のいずれかに記載の半導体装置と、  
を備えることを特徴とする電気光学装置。

【請求項 13】 請求項 12 記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法と回路基板及び電気光学装置、並びに

電子機器に関するものである。

#### 【0002】

##### 【従来の技術】

従来、ドライバー IC等の半導体装置の実装には、いわゆるAuバンプが多く用いられている。このAuバンプの形成時には、半導体素子上に、TiW/Auなどのシード層をスパッタし、レジストをパターンニングした後に、高さ20 $\mu$ m程度の電界Auメッキを施している。ところが、上記のドライバー ICの電極が狭ピッチ化するのに伴って、高アスペクトのレジスト形成、あるいはシード層のエッチングなど、安定したバンプ形成が困難となることが予測される。

また、近年では、狭ピッチ化に対応した安価な無電解Niバンプの開発も進められているが、このバンプはAuバンプに比べて硬いため、特に表示体パネル上に直接ドライバー ICを実装するCOG (Chip On Glass) には、接続信頼性の観点から対応しづらい場合がある。

#### 【0003】

そこで、特許文献1には、電極と離れた位置に樹脂製の突起部を設け、突起部の表面とを覆って接続する接続パターンを導電層として設けることで突起電極を形成する技術が開示されている。この技術によれば、小径の突起電極形成が容易で半導体チップサイズの縮小化に寄与するとともに、樹脂製突起の弾性により実装時のストレスを吸収して、実装品質の安定化に寄与できる。

#### 【0004】

##### 【特許文献1】

特開平2-272737号公報

#### 【0005】

##### 【発明が解決しようとする課題】

しかしながら、上述したような従来技術には、以下のような問題が存在する。

突起電極を形成する場合には、半導体素子上に樹脂をコーティングした後にパターンニングし、次いでスパッタリング等により導電層を形成し、さらにこの導電層をパターンニングする必要がある。従来のパターンニングでは、例えばフォトリソグラフィにより所望形状を得ているため、形成すべき形状に対応したフォトマスク

等をエッチング工程毎に用意する必要がある、製造コストの上昇を招いてしまう。また、樹脂層及び導電層の双方に対して微細パターニングが必要であり製造が煩雑になるという問題もあった。

#### 【0006】

また、フォトエッチングを用いて複数の突起を形成した場合、突起間の隙間がテーパ状に形成される可能性があり、この場合、突起の基部においては隙間が小さくなってしまい、突起の狭ピッチ化への対応が困難になることもある。

#### 【0007】

本発明は、以上のような点を考慮してなされたもので、製造工程を簡素化でき、狭ピッチ化にも対応できる半導体装置及びその製造方法と回路基板及び電気光学装置、並びに電子機器を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

上記の目的を達成するために本発明は、以下の構成を採用している。

本発明に係る半導体装置の製造方法は、電極と、前記電極よりも突出し、樹脂により所定のパターンで形成される複数の突起体と、前記電極に電氣的に接続され、前記突起体の上面に至る導電層とを有する半導体装置の製造方法であって、前記半導体装置に前記電極を避けて前記樹脂の層を形成する工程と、前記電極上及び前記樹脂の層上に前記導電層を、前記突起体の前記所定パターンに応じてパターニングする工程と、パターニングされた前記導電層をマスクとし、前記導電層の間に位置する前記樹脂の層を除去して前記突起体を形成する工程と、を有することを特徴とするものである。

#### 【0009】

従って、本発明では、導電層間の樹脂の層をエッチング等により除去して複数の突起体としてパターニングする際に、導電層をマスクとして利用するので、樹脂の層に対する微細なパターニングが不要になり、製造工程を簡素化できる。また、この樹脂の層を除去する際には、プラズマ加工で行うことが好ましい。この場合、テーパ状になる可能性がある突起体の側面をほぼ垂直に形成できるので、隣り合う突起体の基部間の隙間が小さくならない。そのため、複数の突起体の配

置に関して狭ピッチ化を実現することが可能になる。

#### 【0010】

導電層としては、スパッタリングやメッキで形成する構成を採用できる。スパッタリングで形成する場合、レジストを用いて導電層をパターンニングした後のプラズマ加工により、導電層上に残留するレジストも同時に除去できるため、レジスト除去工程を別途設ける必要がなくなる。また、メッキで形成した場合は、導電層を厚く形成することができ、断線等を防ぐことが可能になる。

#### 【0011】

導電層を形成する工程としては、樹脂の層を形成する前に電極を覆う第1の導電層を形成する工程と、樹脂の層の表面と第1の導電層とを接続する第2の導電層を形成する工程とを有してもよい。この場合、第1の導電層により電極を覆う（被覆する）ことができるので、A1電極を用いた場合のように電極が腐食することを防止できる。第1の導電層としては、無電解ニッケルメッキで形成することが好ましい。なお、スパッタリングで第1の導電層及び第2の導電層を形成することも可能である。この場合、第1の導電層を半導体装置の能動面領域まで引き延ばすことが可能なため、突起体の形成に関してさらに自由度を増すことができる。

#### 【0012】

一方、本発明の半導体装置は、上記の半導体装置製造方法を用いて製造されたことを特徴としている。また、本発明の回路基板は、上記の半導体装置が実装されることを特徴としている。これにより、本発明では、狭ピッチ実装が可能となり、高機能な半導体装置及び回路基板を得ることが可能になる。

#### 【0013】

そして、本発明の電気光学装置は、電気光学パネルと、前記電気光学パネルに電気的に接続された上記の半導体装置と、を備えることを特徴としている。また、本発明の電子機器は、上記の電気光学装置を備えることを特徴としている。

この発明によれば、狭ピッチ実装が可能となり、狭ピッチで高密度に半導体装置が実装された高機能な電気光学装置及び電子機器を得ることができる。

#### 【0014】



**【発明の実施の形態】**

以下、本発明の半導体装置及びその製造方法と回路基板及び電気光学装置、並びに電子機器の実施の形態を、図1ないし図10を参照して説明する。ここでは、まず本発明の特徴的な工程を説明する前に、本発明の製造方法で用いられる半導体装置の構造及びその製造工程の一例について説明する。

**【0015】**

図1は、本発明に係る半導体装置としての半導体素子の部分平面図であり、図2は図1におけるA-A線視断面図であり、図3は図1におけるB-B線視断面図である。なお、本実施形態における半導体素子としては、多数の半導体チップが形成されている状態のシリコンウェハ等の半導体基板であっても、個々の半導体チップであってもよい。また、半導体チップの場合には、一般的には直方体（立方体を含む）であるが、その形状は限定されず、球状であってもよい。

**【0016】**

図1中、符号1は半導体素子（半導体装置）、符号2は半導体素子1上に電気信号の入出力を行うために設けられたA1電極、符号3は半導体素子1の能動面を保護するために設けられたパッシベーション膜、符号4は樹脂で形成されA1電極2と同一ピッチに配置された突起体、符号5はA1電極2及び突起体4の表面（頂面）を覆うように形成された導電層（金属膜）である。

**【0017】**

A1電極2は、例えばスパッタリングにより形成し、レジスト等を用いて所定の形状（例えば、矩形形状）にパターニングすることにより形成される。尚、本実施形態では、電極がA1電極で形成されている場合を例に挙げて説明するが、例えばTi（チタン）層、TiN（窒化チタン）層、AlCu（アルミニウム／銅）層、及びTiN層（キャップ層）を順に積層した構造であってもよい。さらに、電極は、上記の構成に限られず、必要とされる電気的特性、物理的特性、及び化学的特性に応じて適宜変更しても良い。

**【0018】**

また、A1電極2は、半導体素子1の端縁近傍に所定のピッチで複数形成されている。そして、パッシベーション膜3は、A1電極2の周辺部を覆うように形

成されている。このパッシベーション膜 3 は、 $\text{SiO}_2$  (酸化珪素)、 $\text{SiN}$  (窒化珪素)、ポリイミド樹脂等により形成することができる。尚、パッシベーション膜 3 の厚みは、例えば  $1\ \mu\text{m}$  程度である。

#### 【0019】

突起体 4 は、A1 電極 2 の能動面側に A1 電極 2 よりも突出する高さ (例えば  $1\sim 30\ \mu\text{m}$  の厚さ) に、A1 電極 2 と同一ピッチで図 1 中、左右方向に複数配列形成されている。突起体 4 としては、ポリイミド樹脂、シリコン変性ポリイミド樹脂、エポキシ樹脂、シリコン変性エポキシ樹脂、ベンゾシクロブテン (BCB; BenzoCycloButene)、ポリベンゾオキサゾール (PBO; PolyBenzOxazole) 等の樹脂により形成することができる。

#### 【0020】

導電層 5 としては、Au、TiW、Cu、Cr、Ni、Ti、W、NiV、Al 等の金属、または、これらの金属のいくつかを積層して形成することができる。また、導電層 5 (積層構造の場合、少なくとも 1 層) は、A1 電極 2 よりも耐腐食性の高い材料、例えば Cu、TiW、Cr で形成することが好ましい。これにより、A1 電極 2 の腐食を阻止して、電氣的不良の発生を防止することが可能になる。

#### 【0021】

次に、上記の構成の半導体素子 1 に突起体 4 を形成する行程を、図 4 (a) ~ (d) を参照して順次説明する。なお、図 4 は、配列方向に隣り合う突起体 4、4 の位置を断面した図 (図 1 中、C-C 断面図) であり、図中、一点鎖線は、各突起体 4 が形成されるべき位置を示している。

また、図示は省略しているが、パッシベーション膜 3 は、スピンコート法、ディッピング法、スプレーコート法等の方法によりレジストをパッシベーション膜 3 上の全面に塗布した後、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行い、レジストを所定形状にパターンニングし、A1 電極 2 を覆うパッシベーション膜 3 の一部をエッチングして開口部を形成することでパターンニングされる。尚、エッチングにはドライエッチングを適用することが好ましい。

ドライエッチングは、反応性イオンエッチング（R I E : Reactive Ion Etching）であってもよい。また、エッチングとしてウェットエッチングを適用してもよい。

#### 【0022】

図4（a）に示すように、半導体素子1上に成膜されたパッシベーション膜3上に突起体4を構成する既述の樹脂（例えばポリイミド）を塗布して樹脂層4aを形成する。このとき、樹脂層4aは、図1及び図3に示すように、A1電極2の開口部直上を避けた範囲Lの全面に亘ってパターンニングして形成される（本実施の形態では、A1電極2と樹脂層4aとを完全に離間させている）。

#### 【0023】

続いて、図4（b）に示すように、A1電極2及び樹脂層4aの表面（頂面）を含む半導体素子1の表面全面に導電層5（例えばTiW/Au）を形成する。導電層5の形成方法としては、スパッタリングやメッキ処理を採ることができる。なお、メッキ処理を施すときは、この工程で形成される層はシード層となる。次に、導電層5上全面にレジストをスピコート法、ディッピング法、スプレーコート法等の方法により塗布した後に、導電層5の平面形状（平面パターン）に対応する開口が形成されたマスクを用いて露光処理及び現像処理を行い、レジストを所定形状にパターンニングする。この後、エッチング処理を行い、図4（c）に示すように、突起体に応じた位置に導電層5をそれぞれパターンニング形成する。なお、導電層5の形成にメッキ法を用いる場合には、レジストをパターンニングしたシード層に対してメッキ処理（例えばAuメッキ；厚さ0.5～10μmの厚さ）を施す。この後、（導電層5上に）残留するレジストを剥離する工程を設けるが、導電層5がスパッタリングで形成された膜のみであれば、この剥離工程は不要である。なお、スパッタリングで形成した膜上に、さらにメッキ処理で膜を成膜し、これら積層した複数の膜で導電層5を形成することも可能である。この場合、スパッタリング、レジスト塗布、メッキ、レジスト剥離、エッチングという工程を順次実施することになる。

#### 【0024】

続いて、樹脂層4aの中、導電層5の間に位置して露出する樹脂層をエッチン

グにより除去する。エッチング方法としては、プラズマ処理（プラズマ加工）が好ましく、例えばO<sub>2</sub>プラズマにより露出する樹脂層4aを除去する。このとき、導電層5がマスクとして機能するため、フォトマスク等のような部材を別途用いることなく、導電層5の間の樹脂を除去することができる。このプラズマエッチングにより、図4（d）に示すように、半導体素子1上の不要な樹脂が除去され、A1電極2と接続された導電層5が表面（頂面）に製膜された突起体5（突起電極）が形成される。

#### 【0025】

ここで、樹脂層4aをフォトエッチングで除去した場合には、隣り合う突起体4、4の間がテーパー状に形成される度合いが大きく導電層5間の距離に比べて基部における隙間が狭くなることで実際には突起体4の狭ピッチ化が困難であるが、プラズマエッチングを施すことで側面がほぼ垂直な突起体4を形成することができるため、突起体4の狭ピッチ化に対応できる。また、導電層5がスパッタリングで形成された膜のみであれば、このプラズマエッチングにより、導電層5上に残留していたレジストも樹脂層4aと同時に除去される。

#### 【0026】

以上のように、本実施形態に係る半導体装置及びその製造方法では、パターンニングされた導電層5をマスクとし樹脂層4aを除去して突起体4を形成するので、容易に突起体4を形成できることに加えて、突起体4をパターンニングするための微細パターンのマスクを用意する必要がなくなり、製造コストの上昇防止に寄与することができる。また、本実施の形態では、突起体形成に係る樹脂層除去をプラズマエッチングにより実施しているので、突起体4の側面をほぼ垂直面に形成することが可能になり、突起体4のさらなる狭ピッチ化にも対応することができる。しかも、本実施の形態では、導電層5がスパッタリングで形成された膜のみであれば、導電層形成に係り残留したレジストをプラズマ処理で同時に剥離することができるため、剥離工程を別途設ける必要がなくなり、製造効率の向上にも寄与することができる。

#### 【0027】

次に、本発明の半導体装置の製造方法の別形態について説明する。

上記の実施の形態では、導電層 5 が A 1 電極 2 と突起体 4 の表面とを直接接続する構成としたが、間接的に接続する構成とすることも可能である。具体的には、上記の製造方法で樹脂層 4 a を形成する前に、まず A 1 電極 2 を覆うように第 1 の導電層を形成することにより、A 1 電極 2 の直上を避けて樹脂層を形成する。第 1 の導電層を形成する方法としては、無電解ニッケルメッキ処理、スパッタリング等が挙げられる。

#### 【0028】

第 1 の導電層を無電解ニッケルメッキ処理で形成する場合には、まずアルカリ性の亜鉛溶液を使用して、A 1 電極 2 上にジケート処理を施す。すなわち、アルミニウム（A 1 電極 2）上の表面を亜鉛に置換する。A 1 電極 2 にアルカリ性の亜鉛溶液を設けるときに、半導体素子 1 を溶液に浸してもよい。また、A 1 電極 2 の表面に亜鉛を析出させるときに、A 1 電極 2 をアルカリ性の亜鉛溶液に浸した後に、置換した亜鉛を硝酸によって溶解させ、再びアルカリ性の亜鉛溶液に浸してもよい。次に、表面を亜鉛に置換した A 1 電極 2 に無電解ニッケルメッキ液を設けて、亜鉛とニッケルの置換反応を経てニッケル層を A 1 電極 2 上に形成する。この工程は、半導体素子 1 を無電解ニッケルメッキ液に浸して行う。この後、上述した樹脂層 4 a を形成した後に、第 2 の導電層を形成する。この第 2 の導電層は、突起体の表面と第 1 の導電層とを接続するようにパターンニングされて形成される。この後のプラズマ処理による樹脂層 4 a の除去は、上記の実施形態と同様である。

本実施の形態では、A 1 電極 2 が第 1 の導電層により完全に覆われるため、A 1 腐食を防止できるとともに、ジケート処理により A 1 部に選択的に Ni を付けるレジストパターンニングが不要になる。

#### 【0029】

一方、第 1 の導電層をスパッタリングで形成する場合には、上記の実施形態と同様に、スパッタ膜を形成後にレジストパターンニングを実施し、エッチング処理、レジスト剥離を行うことで、所望形状の第 1 の導電層を得ることができる（メッキ処理を施してもよい）。この後の工程は、無電解ニッケルメッキ処理を施す場合と同様である。

本実施の形態では、無電解ニッケルメッキ処理と同様に、Al腐食を防止できることに加えて、第1の導電層を半導体素子1の能動面領域まで引き延ばすことが可能なため、突起体4の配置形成する際の自由度がさらに増すことになる。

#### 【0030】

なお、上記の実施形態では、突起体が半導体素子1の能動面領域まで引き延ばされる構成としたが、これに限定されるものではなく、例えば図5に示すように、小開口のAl電極2に対応して、半導体素子1の能動面領域1Fの外側の端縁近傍にのみ突起体4が延びる構成であってもよい。

#### 【0031】

図6は、本発明の一実施形態による電気光学装置としての液晶表示装置の概略構成を示す斜視図である。図6に示す液晶表示装置は、電気光学パネルとしてのカラーの液晶パネル51と、上記半導体装置の製造方法により製造された半導体装置101を備え液晶パネル51に接続されるCOF（Chip On Film）式の回路基板100とを備えている。また、必要に応じて、バックライト等の照明装置、その他の付帯機器が液晶パネル51に付設される。

#### 【0032】

また、本発明は、上記COF以外にも表示体パネル（液晶パネル）上に直接ドライバーIC等を実装するCOG（Chip On Glass）式の電気光学装置にも適用可能である。図7に、COG式液晶表示装置の一例を示す。

この図において、電気光学装置としての液晶表示装置50は、金属板から成る枠状のシールドケース68と、電気光学パネルとしての液晶パネル52と、液晶駆動用LSI58と、液晶パネル52と液晶駆動用LSI58の能動面に形成されたバンプとをCOG実装方式によって互いに電氣的に接続するための図示しないACF（Anisotropic Conductive Film：異方性導電膜）と、全体の強度を保つための保持部材172とを有している。

#### 【0033】

この液晶パネル52は、一方の面に第1透明電極層を設けた0.7mm厚のソーダガラスからなる第1基板53と、一方の面に第2の透明電極層を設けた0.7mm厚のソーダガラスからなる第2基板54とを、第1透明電極層と第2透明

電極層とが相対向するように貼り合わせ、さらに、これらの基板間に液晶組成物を封入して構成される。そして、COG用ACFを用いて液晶駆動用LSI58を一方の基板54上に直接、電氣的に接続する。こうしてCOG型の液晶パネル52が形成される。この液晶駆動用LSI58は、上記半導体装置の製造方法により製造される。

#### 【0034】

なお、電気光学装置としては、液晶表示装置以外にも有機EL表示装置を用いることも可能である。図8は、本発明による電気光学装置としての有機EL表示装置に設けられる有機ELパネルの断面図である。有機ELパネル（電気光学パネル）30は、基板31上にマトリクス状にTFT（Thin Film Transistor）32を形成し、更にその上に複数の積層体33を形成して概略構成されている。TFT32は、ソース電極、ゲート電極、及びドレイン電極が形成されており、ゲート電極及びソース電極は例えば図1に示した導電層5の何れかと電氣的に接続される。上記積層体33は、陽極層34、正孔注入層35、発光層36、及び陰極層37を含んで構成される。上記陽極層34は、TFT32のドレイン電極と接続されており、TFT32がオン状態にあるときに電流が、TFT32のソース電極及びドレイン電極を介して陽極層34に供給される。

#### 【0035】

以上の構成の有機ELパネル30において、陽極層34から正孔注入層35を介して発光層36に注入された正孔（ホール）と、陰極層37から発光層36に注入された電子とが発光層36内において再結合して生ずる光は、基板31側から射出される。

#### 【0036】

以上、本発明の実施形態による半導体装置の製造方法及び回路基板並びに電気光学装置について説明したが、本実施形態の電気光学装置が搭載される電子機器について説明する。以上説明した電気光学装置としての液晶表示装置、CPU（中央処理装置）等を備えたマザーボード、キーボード、ハードディスク等の電子部品を筐体内に組み込むことで、例えば図9に示すノート型のパーソナルコンピュータ60（電子機器）が製造される。

## 【0037】

図9は、本発明の一実施形態による電子機器としてのノート型コンピュータを示す外観図である。図9において61は筐体であり、62は液晶表示装置（電気光学装置）であり、63はキーボードである。尚、図9においては、液晶表示装置を備えるノート形コンピュータを示しているが、液晶表示装置に代えて有機EL表示装置を備えていても良い。図10は、他の電子機器としての液晶表示装置（電気光学装置）を示す斜視図である。図10に示した携帯電話機70は、アンテナ71、受話器72、送話器73、液晶表示装置74、及び操作釦部75等を備えて構成されている。また、図10に示した携帯電話機においても液晶表示装置74に代えて有機EL表示装置を備えた構成であっても良い。

## 【0038】

また、上記実施形態では、電子機器としてノート型コンピュータ及び携帯電話機を例に挙げて説明したが、これらに限らず、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、ページャ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置等の電子機器に適用することが可能である。

## 【0039】

以上、本発明の実施形態による半導体装置及びその製造方法、電気光学装置、並びに電子機器について説明したが、本発明は上記実施形態に制限されることなく、本発明の範囲内で自由に変更が可能である。

例えば上述した実施の形態の「半導体チップ」や「半導体素子」を「電子素子」に置き換えて、電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

## 【図面の簡単な説明】

【図1】 本発明に係る半導体装置の部分平面図である。



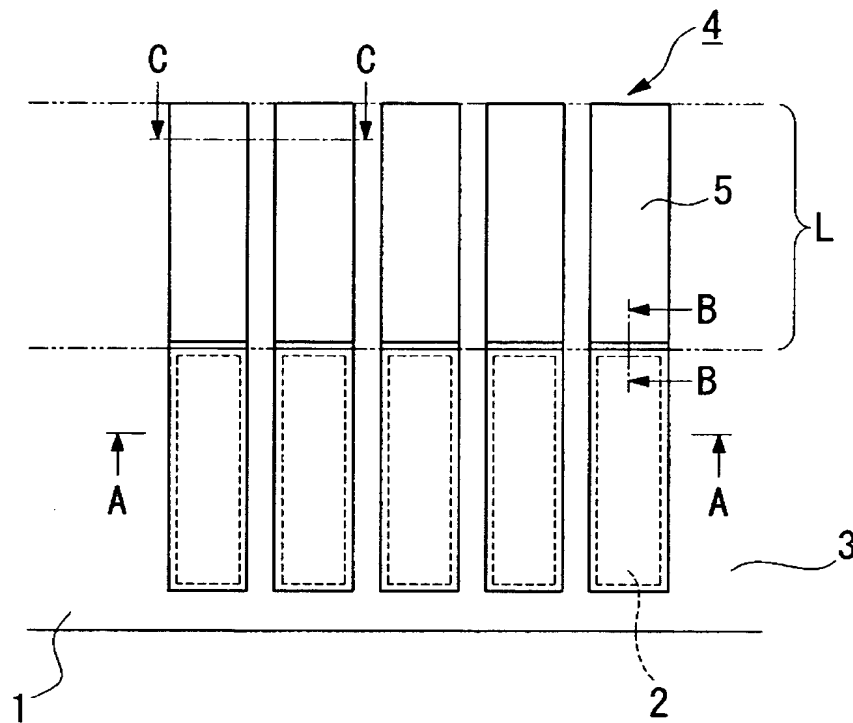
- 【図 2】 図 1 における A-A 線視断面図である。
- 【図 3】 図 1 における B-B 線視断面図である。
- 【図 4】 (a) ~ (d) は、突起体の製造工程を示す図である。
- 【図 5】 半導体装置の別形態を示す部分平面図である。
- 【図 6】 本発明に係る液晶表示装置の概略構成を示す斜視図である。
- 【図 7】 COG 式液晶表示装置の一例を示す分解斜視図である。
- 【図 8】 本発明に係る有機 EL パネルの断面図である。
- 【図 9】 本発明の電子機器を示す外観図である。
- 【図 10】 他の電子機器としての携帯電話機を示す斜視図である。

【符号の説明】

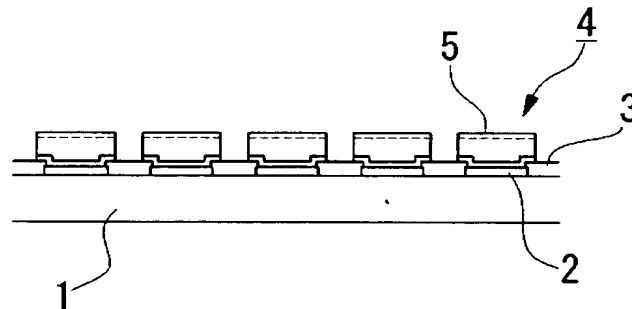
1 半導体素子（半導体装置）、2 Al 電極（電極）、4 突起体、4 a 樹脂層、5 導電層（金属膜）、30 有機 EL パネル（電気光学パネル）、60 パーソナルコンピュータ（電子機器）、62、74 液晶表示装置（電気光学装置）、70 携帯電話機（電子機器）、100 回路基板、101 半導体装置

【書類名】 図面

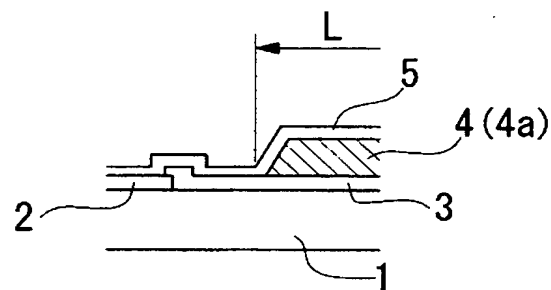
【図 1】



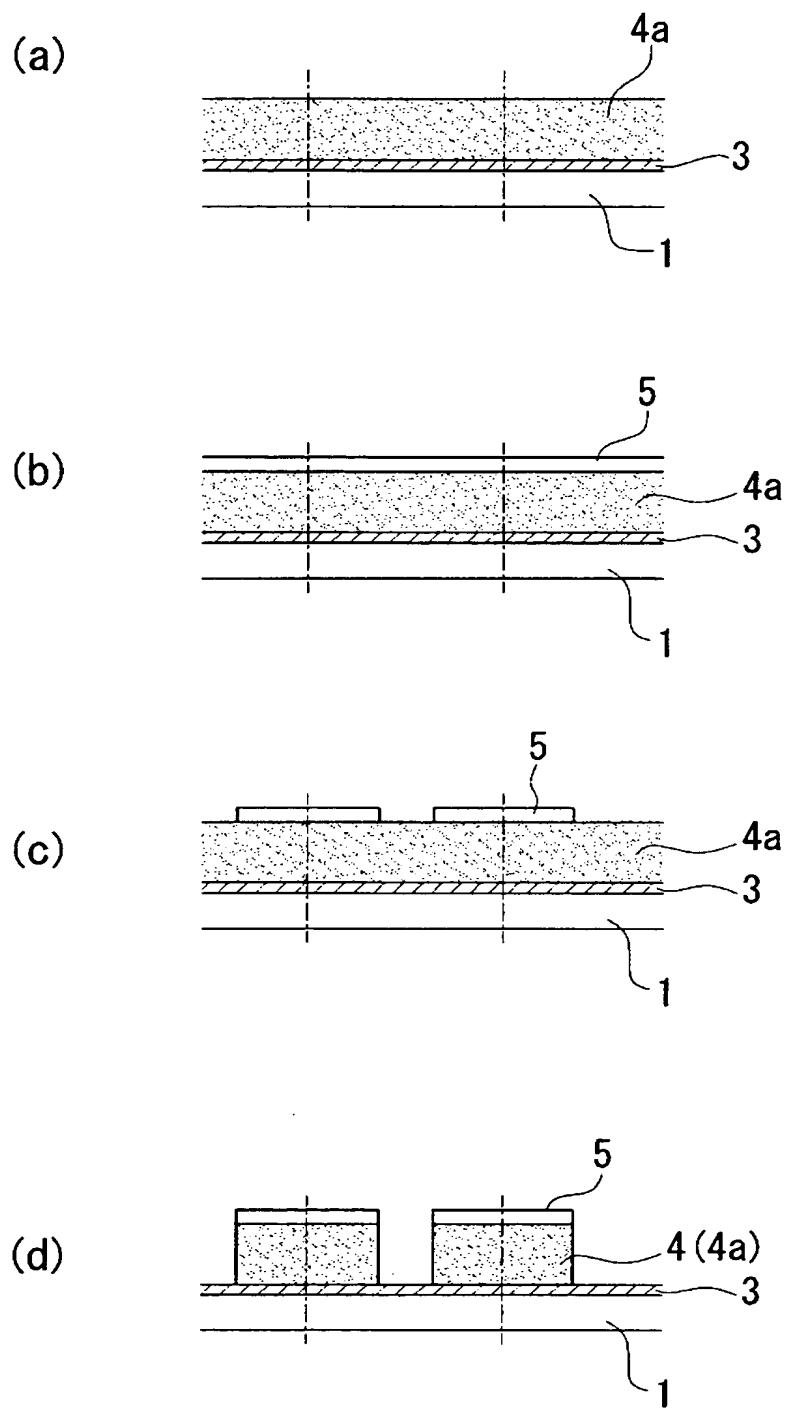
【図 2】



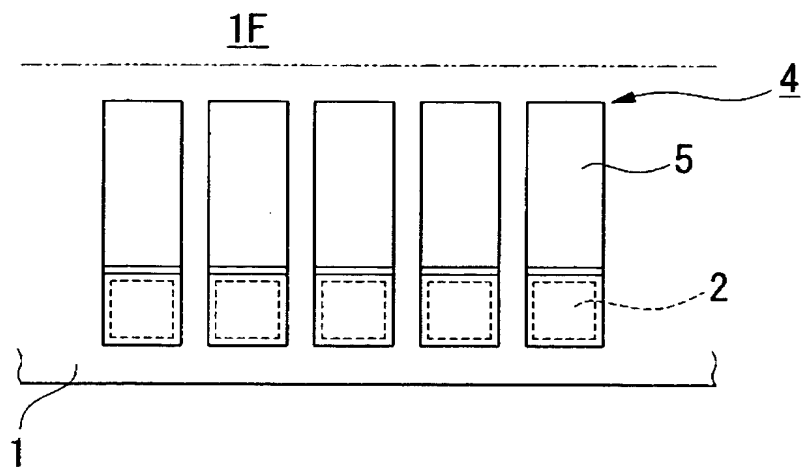
【図 3】



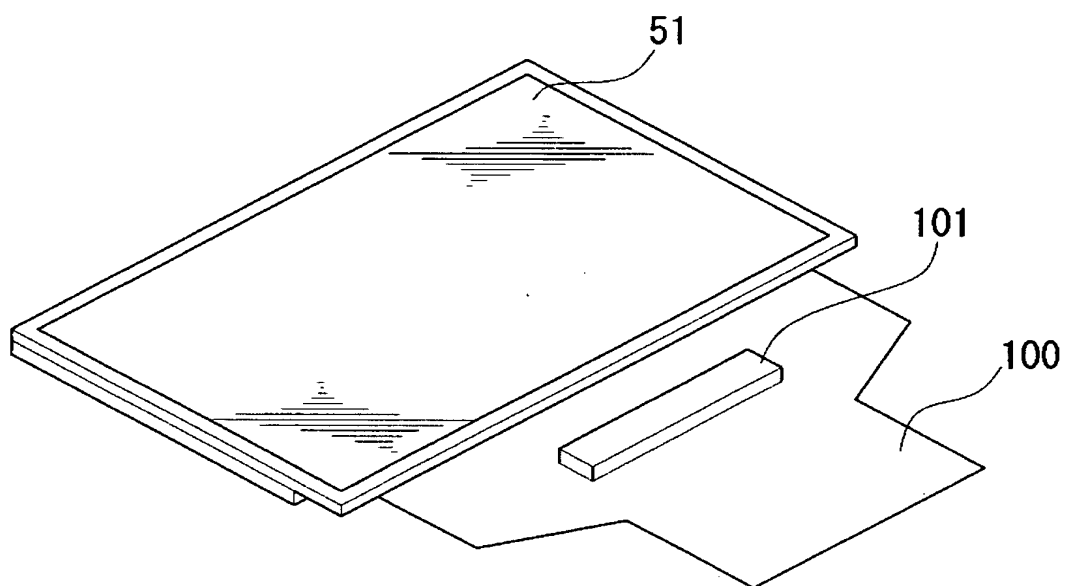
【図 4】



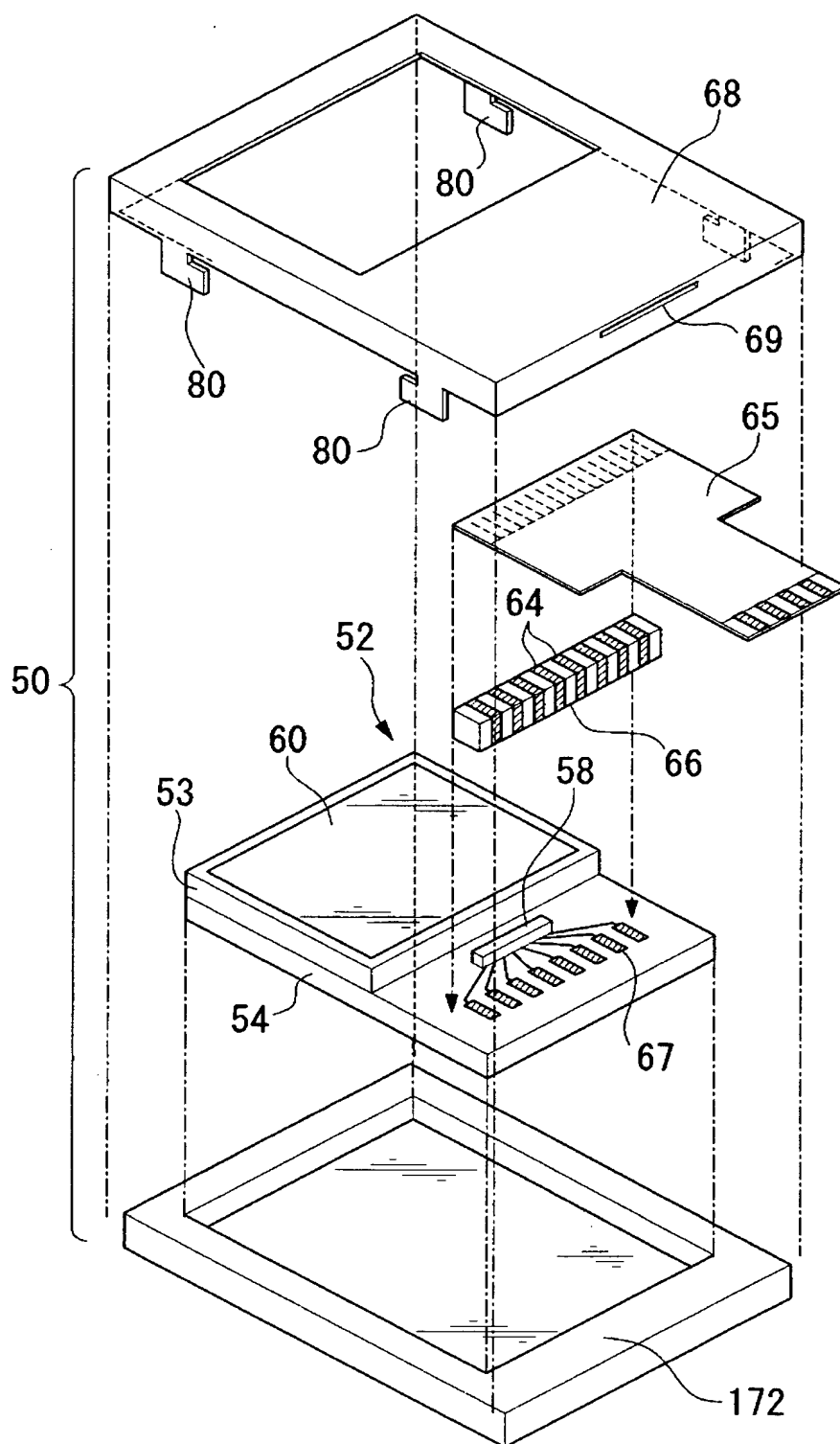
【図 5】



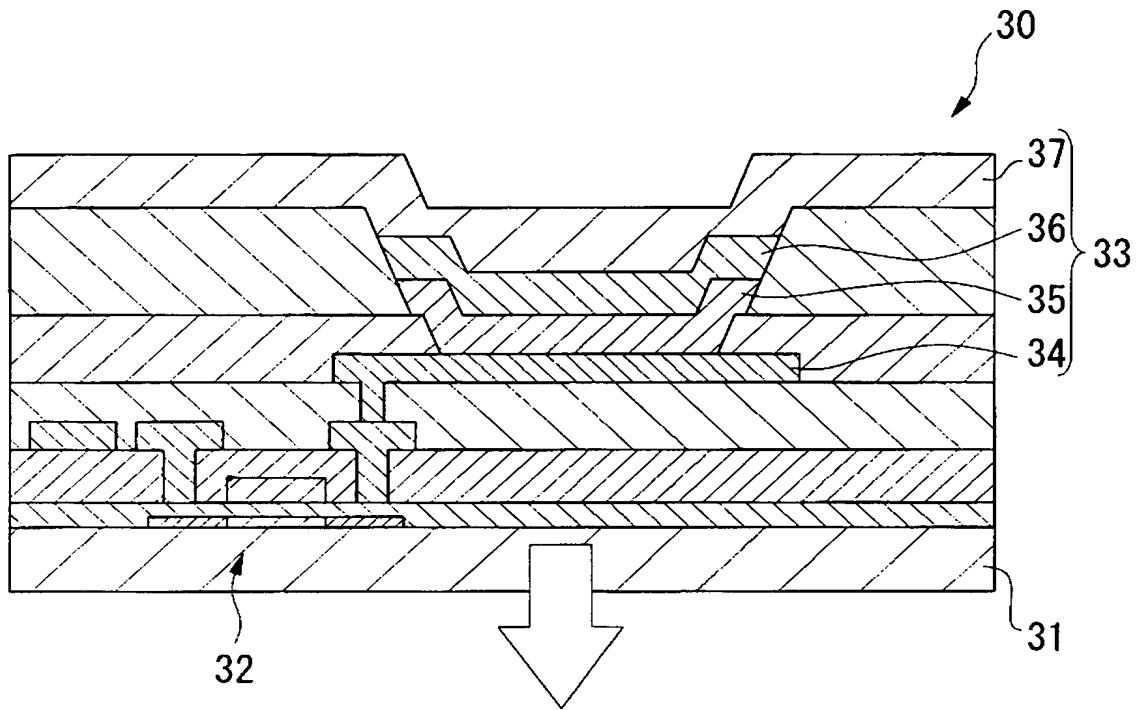
【図 6】



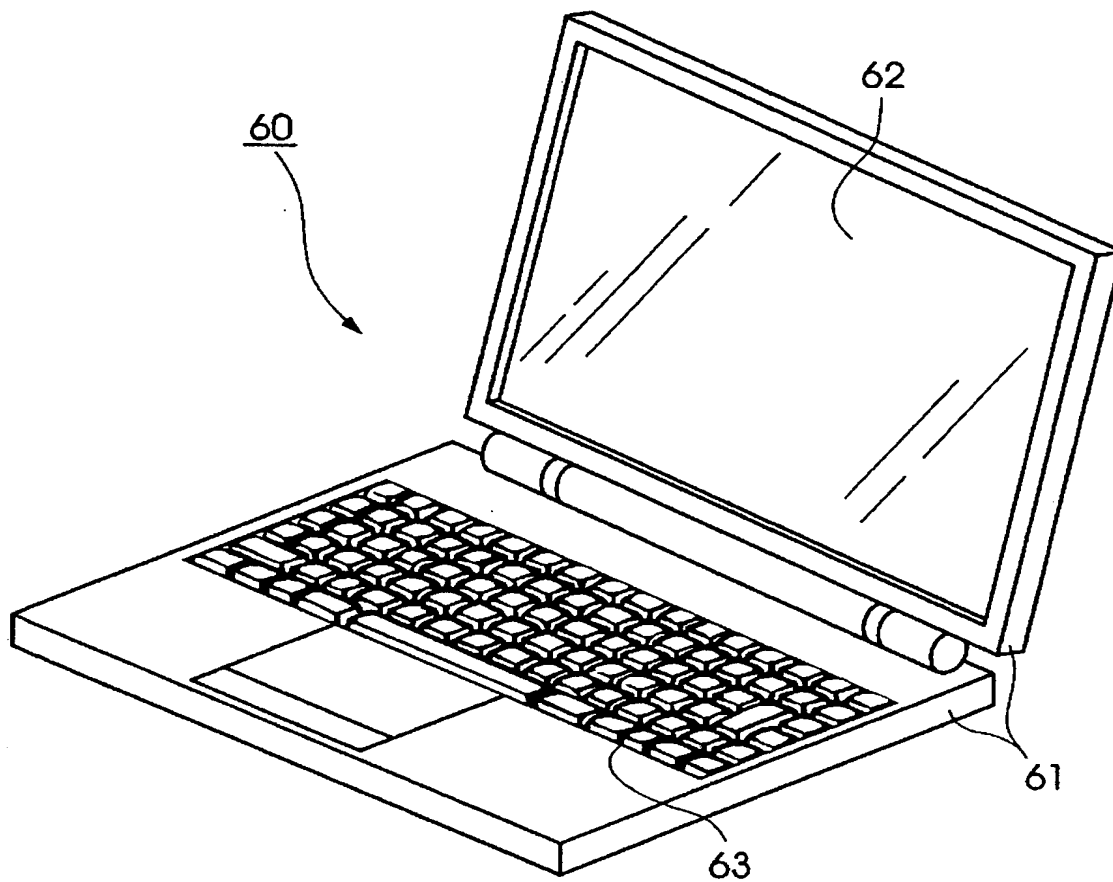
【図 7】



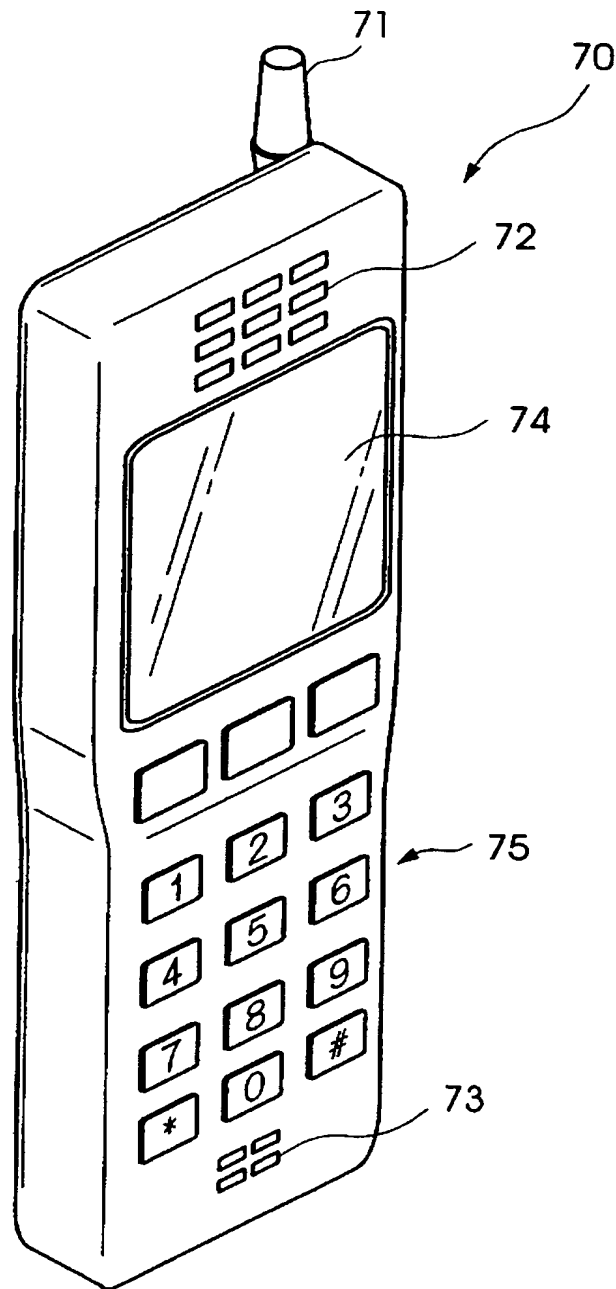
【図 8】



【図 9】



【図 10】





【書類名】 要約書

【要約】

【課題】 製造コスト増加を招くことなく狭ピッチ化に対応する。

【解決手段】 電極と、樹脂で形成され電極よりも突出する複数の突起体 4 と、電極に電氣的に接続され、突起体 4 の上面に至る導電層 5 とを有する。半導体装置 1 に電極を避けて樹脂の層 4 a を形成する工程と、電極上及び樹脂の層 4 a 上に導電層 5 を突起体 4 に応じてパターンニングする工程と、パターンニングされた導電層 5 をマスクとし、導電層 5 の間に位置する樹脂の層 4 a を除去して突起体 4 を形成する工程とを有する。

【選択図】 図 4

## 認定・付加情報

特許出願の番号	特願 2002-350337
受付番号	50201824470
書類名	特許願
担当官	宇留間 久雄 7277
作成日	平成14年12月10日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿2丁目4番1号

【氏名又は名称】 セイコーエプソン株式会社

## 【代理人】

申請人

【識別番号】 100089037

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビ  
ル 志賀国際特許事務所

【氏名又は名称】 渡邊 隆

## 【代理人】

【識別番号】 100064908

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビ  
ル 志賀国際特許事務所

【氏名又は名称】 志賀 正武

## 【選任した代理人】

【識別番号】 100110364

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビ  
ル 志賀国際特許事務所

【氏名又は名称】 実広 信哉

次頁無

特願 2 0 0 2 - 3 5 0 3 3 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社